

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-101397

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl.<sup>6</sup>G 0 2 F 1/1345  
1/136

識別記号

5 0 0

庁内整理番号

F I

技術表示箇所

審査請求 有 請求項の数 5 F D (全 7 頁)

(21) 出願番号 特願平6-261375

(22) 出願日 平成6年(1994)9月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 清水 健也

東京都港区芝五丁目7番1号 日本電気株式会社内

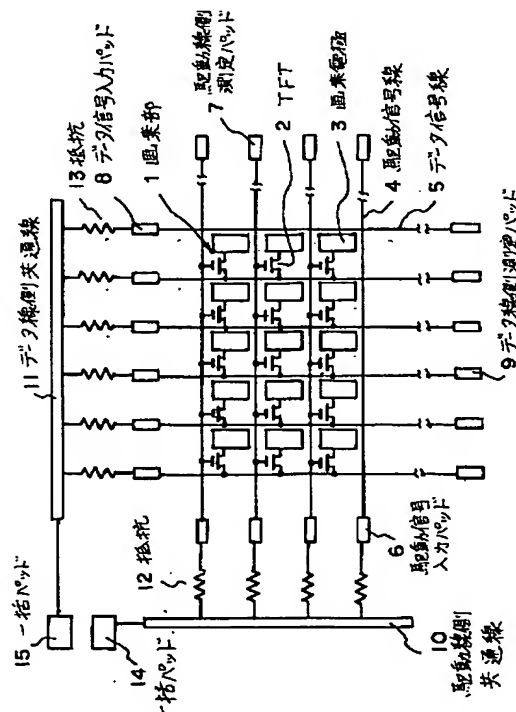
(74) 代理人 弁理士 鈴木 章夫

(54) 【発明の名称】 薄膜トランジスタ型液晶表示装置とその製造方法

(57) 【要約】

【目的】 薄膜トランジスタ型液晶表示装置における、個々の画素部の電気的な検査を可能とし、画素部の不良を見い出すことを可能とする。

【構成】 薄膜トランジスタ2と画素電極3を含む多数個の画素部1に対して複数本の駆動信号線4とデータ信号線5とをそれぞれ行列状態に接続し、かつ各信号線にはそれぞれ駆動線側共通線10とデータ線側共通線11を接続して静電気の帯電を防止するようにし、かつ各信号線と各共通線との間にはそれぞれ抵抗12, 13を介挿し、各信号線と共通線との電気接続状態を保持する一方で、各信号線間における印加電位の回り込みを抑制し、個々の画素部の電気的な検査を可能とする。



(2)

## 【特許請求の範囲】

【請求項1】 薄膜トランジスタと画素電極とを含む多数個の画素部をマトリクス状に配置し、各画素部に対して駆動信号線とデータ信号線とを行列状態に接続形成し、かつ複数本の駆動信号線をそれぞれ駆動線側共通線に電気接続し、複数本のデータ信号線をそれぞれデータ線側共通線に電気接続した薄膜トランジスタ型液晶表示装置において、前記各駆動信号線と駆動線側共通線との間、及び前記各データ信号線とデータ線側共通線との間にそれぞれ抵抗を介挿したことを特徴とする薄膜トランジスタ型液晶表示装置。

【請求項2】 複数本の駆動信号線にはそれぞれ駆動信号入力パッドが形成され、複数本のデータ信号線にはそれぞれデータ信号入力パッドが形成され、この駆動信号入力パッドと駆動線側共通線との間、及びデータ信号入力パッドとデータ線側共通線との間にそれぞれ抵抗を介挿してなる請求項1の薄膜トランジスタ型液晶表示装置。

【請求項3】 抵抗は画素電極を形成する画素材料の一部で形成されてなる請求項1または2の薄膜トランジスタ型液晶表示装置。

【請求項4】 薄膜トランジスタと画素電極とを含む多数個の画素部をマトリクス状に配置した薄膜トランジスタ型液晶表示装置の製造に際し、薄膜トランジスタのゲート電極と駆動信号線とを形成すると同時に、この駆動信号線と一体に駆動信号入力パッド、駆動線側共通線、及びこの駆動信号入力パッドと駆動線側共通線を接続する導通部を形成する工程と、前記薄膜トランジスタのチャンネルとなる半導体層を形成すると同時に前記駆動信号入力パッドと駆動線側共通線との間に前記半導体層の一部でアイランドを形成する工程と、前記薄膜トランジスタのソース・ドレイン電極とデータ信号線とを形成すると同時に、前記駆動信号入力パッドと駆動線側共通線をそれぞれ前記アイランドに接続する連結部を形成し、かつ同時に前記導通部にホールを開設して導通部を遮断させる工程と、前記薄膜トランジスタの半導体層を掘込んでチャンネルを形成すると同時に前記アイランドを掘込んで高抵抗化する工程と、画素電極を形成すると同時に前記駆動信号入力パッドと駆動線側共通線との間に前記画素電極材料で抵抗を形成する工程とを含むことを特徴とする薄膜トランジスタ型液晶表示装置の製造方法。

【請求項5】 薄膜トランジスタの半導体層を形成すると同時に、次工程で形成するデータ信号入力パッドとデータ線側共通線との間に前記半導体層の一部でアイランドを形成する工程と、前記薄膜トランジスタのソース・ドレイン電極とデータ信号線とを形成すると同時に、このデータ信号線と一体にデータ信号入力パッド、データ線側共通線、及び前記データ信号入力パッドとデータ線側共通線をそれぞれ前記アイランドに接続する連結部を形成する工程と、前記薄膜トランジスタの半導体層を掘

込んでチャンネルを形成すると同時に前記アイランドを掘込んで高抵抗化する工程と、画素電極を形成すると同時に前記データ信号入力パッドとデータ線側共通線との間に前記画素電極材料で抵抗を形成する工程とを含む請求項4の薄膜トランジスタ型液晶表示装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は薄膜トランジスタ（以下、TFTと略称する）を用いた液晶表示装置（以下、LCDと略称する）に関し、特にTFTにおける静電破壊を防止する一方で、製造後におけるTFTの検査を可能にしたLCDとその製造方法に関する。

## 【0002】

【従来の技術】TFT型LCDは、多数個のTFTをマトリクス状に配置し、各TFTのゲートには駆動信号線を複数の行方向に接続し、ドレインにはデータ信号線を複数の列方向に接続している。そして、これらの駆動信号線とデータ信号線とをそれぞれ選択することで交差点におけるTFTが駆動され、この部分の画素が駆動されることになる。このため、各駆動信号線とデータ信号線はそれぞれ独立した状態に構成されることになる。しかしながら、その一方でTFTはMOSトランジスタとして構成されているために、静電気によってゲート絶縁膜が破壊されるおそれがあり、これを防止するためには各駆動信号線とデータ信号線に静電気が帯電されないように、少なくともLCDの製造工程においてはこれらの線を共通接続して接地することが好ましい。

【0003】図4はこのような対策を施した従来のTFT型LCDであり、TFT2と画素電極3とを含む画素部1が縦横のマトリクス状に配置され、各TFT2のゲートには駆動信号線4が複数の行方向に接続され、ドレインにはデータ信号線5が複数の列方向に接続されている。そして、駆動信号線4の一方の端部にはそれぞれ駆動信号入力パッド6が形成されており、かつそれぞれの駆動信号入力パッド6は更に駆動線側共通線10に一括して接続されている。同様に、データ信号線5の一方の端部にはデータ信号入力パッド8が形成されており、それぞれのデータ信号入力パッド8はデータ線側共通線11に接続されている。なお、前記駆動線側共通線10とデータ線側共通線11にはそれぞれ一括パッド14、15が設けられ、所定の電位に固定させるようになっている。また、前記各駆動信号線4の他方の端部には駆動線側測定パッド7が形成され、同様に前記各データ信号線5の他方の端部にはデータ線側測定パッド9が形成されている。

【0004】この構成のLCDでは、その製造工程時に、例えば、駆動線側共通線10やデータ線側共通線11をそれぞれ一括パッド14、15を介して接地することで、複数の駆動信号線4やデータ信号線5を接地状態とすることができ、個々のTFT2における静電破壊を

(3)

3

防止することができる。また、製造後の検査時には、それぞれの駆動線側測定パッド7と駆動信号入力パッド6との間、或いはデータ線側測定パッド9とデータ信号入力パッド8との間の抵抗値を測定することで、駆動信号線4やデータ信号線5の短絡や断線を検査することができる。

【0005】

【発明が解決しようとする課題】ところで、従来この種のTFT型LCDにおける画素、即ちTFTとこれに接続される蓄積容量の電気的な不良を検査する方法として、特開平3-200121号公報において提案されているものがある。この方法は、検査対象となるTFTが接続されている駆動信号線にTFTがオン状態となるような電圧を印加し、かつこれに同期して対応するデータ信号線にデータ信号を入力することで、対象TFTの蓄積容量に電荷を蓄積させ、ある一定時間を経過した後に再度その対象TFTをオン状態として蓄積電荷を読み出し、その出力により対象とする画素の不良を検出する方法である。

【0006】しかしながら、この検査方法を前記した従来のTFT型LCDに採用しようすると、各駆動信号線4やデータ信号線5がそれぞれ駆動線側共通線10やデータ線側共通線11によって一括接続された状態にあるために、例えば、駆動信号線4を通して対象となるTFTに電位を供給してこれをオンさせようすると、この電位が駆動線側共通線10を通して他の駆動信号線4に回り込み、対象となるTFTのみをオンさせることができなくなる。このため、前記した検査方法を従来のLCDに採用してTFT型LCDの電気的な特性検査を行うことができず、不良な画素が存在するLCDを見逃してしまうことになる。

【0007】

【発明の目的】本発明の目的は、電気的な検査を行って画素の不良を見いだすことが可能なTFT型LCDを提供することにある。また、本発明の他の目的は、このようなTFT型LCDを製造する方法を提供することにある。

【0008】

【課題を解決するための手段】本発明のTFT型LCDは、TFTと画素電極とを含む多数個の画素部に対して接続される複数本の駆動信号線をそれぞれ抵抗を介して駆動線側共通線に電気接続し、かつ複数本のデータ信号線をそれぞれ抵抗を介してデータ線側共通線に電気接続した構成とする。

【0009】例えば、複数本の駆動信号線にはそれぞれ駆動信号入力パッドが形成され、複数本のデータ信号線にはそれぞれデータ信号入力パッドが形成され、この駆動信号入力パッドと駆動線側共通線との間、及びデータ信号入力パッドとデータ線側共通線との間にそれぞれ抵抗が介挿される。また、この抵抗は画素電極を形成する

4

画素材料の一部で形成することが好ましい。

【0010】また、本発明のTFT型LCDの製造に際しては、TFTのゲート電極と駆動信号線とを形成すると同時に、この駆動信号線と一体に駆動信号入力パッド、駆動線側共通線、及びこの駆動信号入力パッドと駆動線側共通線を接続する導通部を形成する工程と、TFTのチャンネルとなる半導体層を形成すると同時に駆動信号入力パッドと駆動線側共通線との間にその半導体層の一部でアイランドを形成する工程と、TFTのソース・ドレイン電極とデータ信号線とを形成すると同時に、駆動信号入力パッドと駆動線側共通線をそれぞれ前記アイランドに接続する連結部を形成し、かつ同時に前記導通部にホールを開設して導通部を遮断させる工程と、TFTの前記半導体層を掘込んでチャンネルを形成すると同時に前記アイランドを掘込んで高抵抗化する工程と、画素電極を形成すると同時に前記駆動信号入力パッドと駆動線側共通線との間に前記画素電極材料で抵抗を形成する工程とを含むことを特徴とする。

【0011】更に、TFTの半導体層を形成すると同時に、次工程で形成するデータ信号入力パッドとデータ線側共通線との間に前記半導体層の一部でアイランドを形成する工程と、TFTのソース・ドレイン電極とデータ信号線とを形成すると同時に、このデータ信号線と一体にデータ信号入力パッド、データ線側共通線、及び前記データ信号入力パッドとデータ線側共通線をそれぞれ前記アイランドに接続する連結部を形成する工程と、TFTの半導体層を掘込んでチャンネルを形成すると同時に前記アイランドを掘込んで高抵抗化する工程と、画素電極を形成すると同時に前記データ信号入力パッドとデータ線側共通線との間に前記画素電極材料で抵抗を形成する工程とを含むことが好ましい。

【0012】

【作用】複数の駆動信号線と駆動線側共通線との間、及びデータ信号線とデータ線側共通線との間に抵抗を介挿することで、各信号線を各共通線に電気接続して各信号線における静電気の帯電を防止することが可能とされる一方で、各駆動信号線やデータ信号線に印加した電位が抵抗によって電圧降下され、他の信号線に回り込むことが防止され、個々のTFTに対して独立状態を保ってそれぞれの電気特性の検査を行うことが可能となる。

【0013】また、駆動信号線を形成した後は、これと一体に形成した導通部により駆動信号線と駆動線側共通線との電気接続を確保し、データ信号線を形成した後は、これと一体に形成した連結部と半導体層の一部で形成したアイランドとで駆動信号線及びデータ信号線の各信号線とそれぞれの共通線との電気接続を確保し、画素電極の形成と同時に最終的な抵抗を形成するので、LCDの製造工程の間は常に各信号線を共通線に電気接続した状態を保持することができ、製造工程途中における帯電電荷によるTFTの破壊を防止することができる。

(4)

5

【0014】

【実施例】次に、本発明の実施例を図面を参照して説明する。図1は本発明の一実施例の回路構成図である。TF T 2と蓄積容量を含む画素電極3とで画素部1が構成されており、多数個の画素部1はマトリクス状に配列形成される。そして、各TF T 2のゲートには複数本の駆動信号線4が行方向に接続され、また各TF T 2のドレインには複数本のデータ信号線5が列方向に接続されている。前記駆動信号線4はそれぞれの一端部に駆動信号入力パッド6が形成され、他端部には駆動線側測定パッド7が形成されている。同様に、前記データ信号線5はそれぞれの一端部にデータ信号入力パッド8が形成され、他端部にはデータ線側測定パッド9が形成されている。

【0015】そして、前記各駆動信号線4の駆動信号入力パッド6は駆動線側共通線10にそれぞれ接続されるが、ここでは各駆動信号入力パッド6と駆動線側共通線10との間に抵抗12を介挿している。同様に前記各データ信号線5のデータ信号入力パッド8はデータ線側共通線11にそれぞれ接続されるが、各データ信号入力パッド8とデータ線側共通線11との間に抵抗13を介挿している。これらの抵抗12、13は任意の抵抗値として設定可能であるが、後述するように全体の除電効果を考慮すると、数KΩから百KΩの抵抗値が好ましい。また、前記駆動線側共通線10には駆動線側一括パッド14が接続して形成され、同様に前記データ線側共通線11にはデータ線側一括パッド15が接続して形成されている。

【0016】このように駆動信号入力パッド6と駆動線側共通線10との間に抵抗12を介挿することにより、複数本の駆動信号線4は全て駆動線側共通線10に電気接続され、かつこの駆動線側共通線10を駆動線側一括パッド14において所定の電位に保持することにより、LCDの製造工程において各駆動信号線4に静電気が帯電されることがなく、各TF T 2を静電破壊から防止することができる。同様に、データ信号入力パッド8とデータ線側共通線11との間に抵抗13を介挿することにより、複数本のデータ信号線5は全てデータ線側共通線11に電気接続され、かつこのデータ線側共通線11をデータ線側一括パッド15において所定の電位に保持することで、静電気の帯電によるTF T 2の破壊を防止することができる。

【0017】一方、LCDを製造した際の検査においては、各駆動信号線4に設けた駆動信号入力パッド6と駆動線側測定パッド7との間に測定針を接触させて通電を行うことで、その駆動信号線4の抵抗を測定し、その短絡や断線等を検査することができる。これはデータ信号線5においても、データ信号入力パッド8とデータ線側測定パッド9とを利用することで同様に検査を行うことができる。

6

【0018】更に、個々の画素部1を検査する際において、検査対象としてのTF T 2を含む駆動信号線4に所定の電位を印加してそのTF T 2をオン状態とし、かつこのTF T 2を含むデータ信号線5にデータ信号を入力することでこのTF T 2の画素部1にデータを保持させ、所定時間後に再びそのTF T 2をオンさせてデータを読み出すことで、その画素部1の電気的な特性検査を行うことができる。このとき、検査対象の画素部1が含まれる駆動信号線4は、他の駆動信号線4とは電氣的に接続されてはいるが、両者間にはそれぞれに接続された抵抗12が2個直列状態に介挿されることになるため、その高抵抗値によって印加する電位が電圧降下されるため、他の駆動信号線にまで回り込んで他の画素部1のTF T 2をオン動作させることはなく、かかる電気的な特性検査を好適に実施することができる。

【0019】図2は前記駆動信号入力パッド6と駆動線側共通線10との間に介挿された抵抗12を構成する配線領域の平面図であり、図3はTF T 2と画素電極3とを含む領域の断面図である。これらの図を参照して抵抗12の形成方法を説明する。例えば、ガラス基板21上に第1クロム膜を所要のパターンに形成してゲート電極22と、これと一体の駆動信号線4を形成する。このとき、駆動信号線4の一端部には前記駆動信号入力パッド6が一体に形成されるとともに、更にこの駆動信号入力パッド6に連続して導通部23と駆動線側共通線10が一体に形成される。これにより、駆動信号線4は導通部23を介して駆動線側共通線10に電気接続された状態とされる。また、前記したように駆動信号線4の他端部には駆動線側測定パッド7が形成されるが、ここでは図示は省略する。

【0020】次いで、ゲート絶縁膜24を形成し、その上に $n^+$  -アモルファスシリコン25を所要パターンに形成するが、その際に前記駆動信号入力パッド6と駆動線側共通線10との間の中間位置には、前記導通部23に隣接して $n^+$  -アモルファスシリコン25の一部でアイランド26を形成する。そして、前記 $n^+$  -アモルファスシリコン25の上に第2クロム膜を所要パターンに形成してソース・ドレインの各電極27を形成するが、これと同時にこの第2クロム膜の一部で前記駆動信号入力パッド6と駆動線側共通線10のそれぞれに重なるように連結部28を形成する。これらの連結部28はその先端部を前記アイランド26に重ねており、したがってこのアイランド26を介して各連結部28は互いに電気接続されることになり、この結果駆動信号入力パッド6は駆動線側共通線10に電気接続された状態となる。また、この連結部28の形成と同時に、前記第1クロム膜からなる導通部23にホール29を開設して導通部23をその中間領域で遮断させる。

【0021】次いで、前記 $n^+$  -アモルファスシリコン25に対してチャンネルを形成すべく堀込みが行われる

50

(5)

7

が、このときアイランド26に対しても連結部28の各端部が対峙する間の部分の堀込みを行い、アイランド26を高抵抗状態とする。これにより、駆動信号入力パッド6と駆動線側共通線10はアイランド26の高抵抗で電気接続された状態となる。

【0022】その後、層間絶縁膜30を形成し、かつITO（インジウムスズ酸化物）を所要パターンに形成して画素電極3を形成するが、このITOの一部を前記駆動信号入力パッド6と駆動線側共通線10の上に重なるように形成し、更にこれらを結ぶ所要の抵抗パターン31を形成する。ここではITOの一部を細幅の矩形波型に形成することで、所要の抵抗値の抵抗パターン31を得ている。したがって、図1に示した抵抗12は、前記アイランド26による抵抗値と、このITOの抵抗パターン31による抵抗値とを並列接続した抵抗値として構成される。但し、前記アイランド26で形成される抵抗は高抵抗値であるため、このITOによる抵抗パターン31の抵抗値が殆どそのまま図1の抵抗12として機能することになる。

【0023】したがって、このように抵抗12を形成することで、TFT及びLCDを形成する製造工程において、駆動信号線4を形成した後に、データ信号線5を形成するまでの間は導通部23によって各駆動信号線4は駆動線側共通線10に電気接続された状態が保持され、データ信号線5を形成した後にITOにより抵抗12を形成するまでの間はアイランド26と連結部28とによって各駆動信号線4が駆動線側共通線10に電気接続された状態が保持される。したがって、この製造工程の間、各駆動信号線4は常に駆動線側共通線10に電気接続された状態が保持されるため、静電気の帯電によるTFTの破壊が防止される。

【0024】なお、駆動信号線4の一部で形成した導通部23はその後ホール29によって断線され、またアイランド26と連結部28はアイランド26の堀込みにより高抵抗化されるため、最終的にはITOにより形成される抵抗パターン31が実質的な抵抗12として形成されることになる。

【0025】また、図示は省略するが、各データ信号線5に形成する抵抗13についても同様であり、この場合には図2を参照すると、 $n^+$ -アモルファスシリコン25によりアイランド26を形成し、次いで第2クロム膜による連結部28の形成を行い、その後にアイランド26の堀込みを行い、更にITOにより所定の抵抗値の抵抗パターン31を形成する工程を行うことで、駆動信号線4の場合と同様に製造工程において各データ信号線5をデータ線側共通線11に電気接続した状態を保持することができる。

【0026】

【発明の効果】以上説明したように本発明は、TFTと画素電極とを含む多数個の画素部に対して接続される複

8

数本の駆動信号線とデータ信号線とをそれぞれ抵抗を介してそれぞれの共通線に電気接続しているため、各信号線と各共通線との電気接続状態を保持して各信号線における静電気の帯電を防止することを可能とする一方で、各駆動信号線やデータ信号線に印加した電位が抵抗によって電圧降下されるため、この電位が他の信号線に回り込むことが防止され、個々のTFTを独立状態を保ってそれぞれの電気特性の検査を行うことが可能となり、個々の画素部の不良を検出して信頼性の高いLCDを得ることが可能となる。

【0027】この場合、各信号線にはそれぞれ信号入力パッドが形成されており、この信号入力パッドと各共通線との間にそれぞれ抵抗が介挿されるので、この抵抗が各信号線における抵抗の測定を行う際の障害になることはなく、各信号線における短絡や断線を正確に検査することができる。

【0028】また、本発明のTFT型LCDの製造に際しては、駆動信号線と一体に駆動信号入力パッド、駆動線側共通線、及びこの駆動信号入力パッドと駆動線側共通線を接続する導通部を形成することで、以降はこの導通部によって駆動信号線を共通線に電気接続した状態を保ち、その後は半導体層の一部でアイランドを形成し、かつデータ信号線と同時に連結部を形成することで、以降は画素電極材料により最終的な抵抗が形成されるまで、アイランドと連結部とで信号線を共通線に電気接続した状態を保つことができ、製造工程途中における静電気破壊を防止することができる。

【0029】また、この場合、導通部はホールによって断線され、アイランドは堀込みによって高抵抗化されるので、画素電極材料で最終的に形成される抵抗の抵抗値に影響を与えることは殆どなく、所望の抵抗値の抵抗を得ることができる。

【図面の簡単な説明】

【図1】本発明のTFT型LCDの一実施例の回路構成図である。

【図2】本発明の要部の平面図である。

【図3】本発明における画素領域の断面図である。

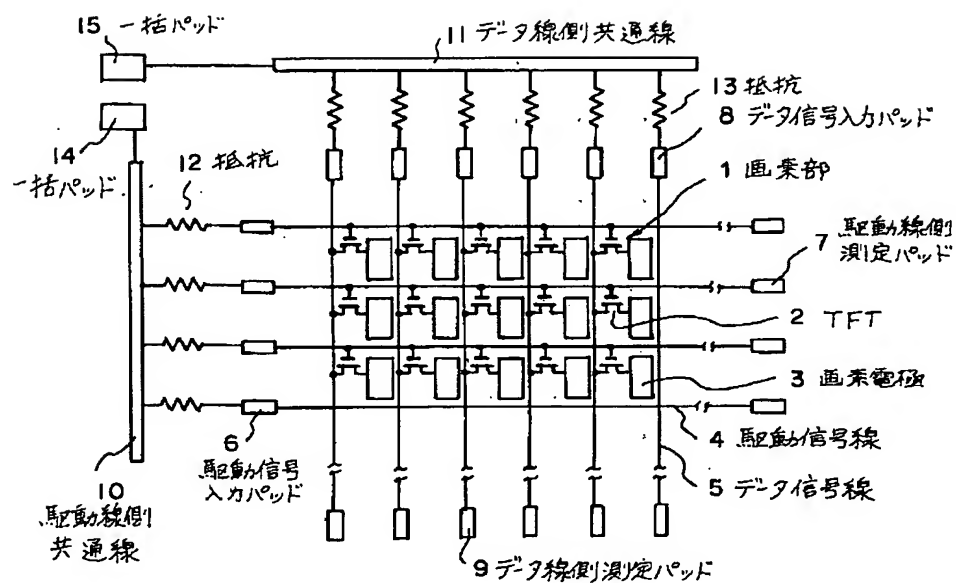
【図4】従来のTFT型LCDの一例の回路構成図である。

【符号の説明】

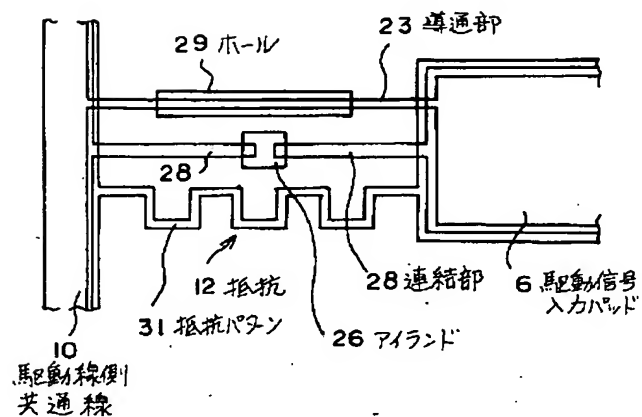
- 1 画素部
- 2 TFT
- 3 画素電極
- 4 駆動信号線
- 5 データ信号線
- 6 駆動信号入力パッド
- 8 データ信号入力パッド
- 10 駆動線側共通線
- 11 データ線側共通線
- 12, 13 抵抗

(6)

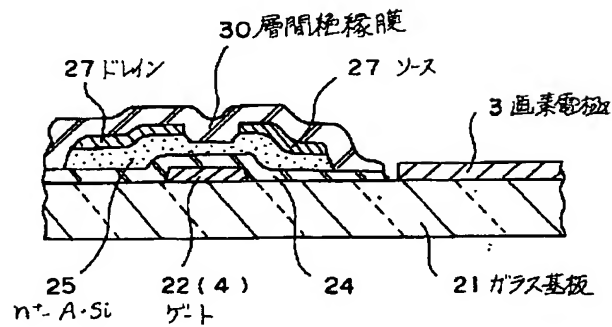
【図1】



【図2】

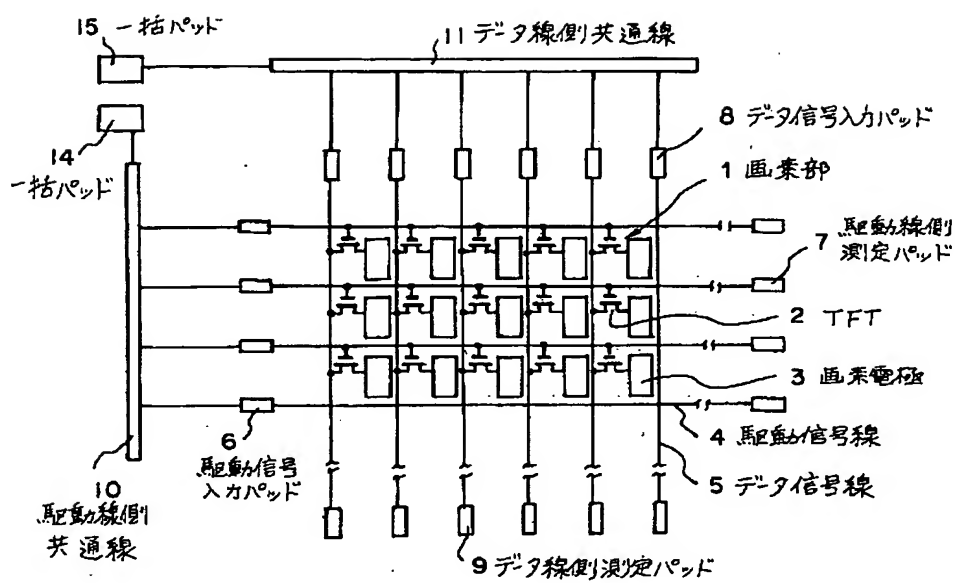


【図3】



(7)

【図4】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**